

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-010718

(43)Date of publication of application : 13.01.1989

(51)Int.Cl.

H03K 3/353  
H01L 27/08  
H03K 19/094

(21)Application number : 62-165973

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing : 02.07.1987

(72)Inventor : IWASAKI TOMONOBU

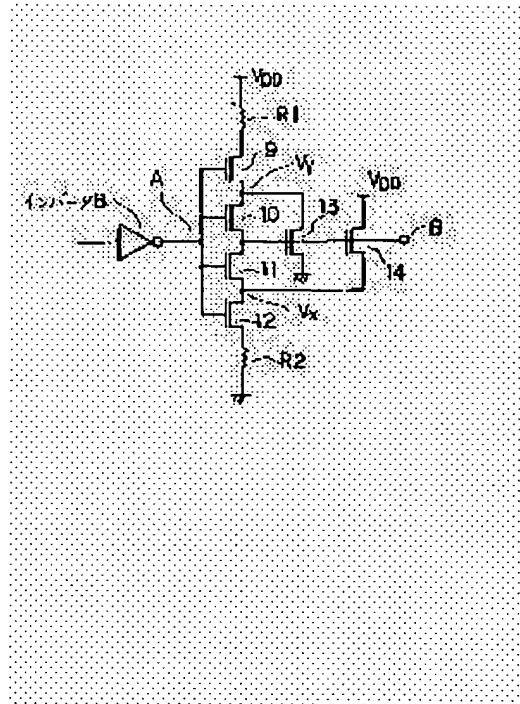
SATO NAOHIRO

## (54) HYSTERESIS INVERTER

(57)Abstract:

PURPOSE: To suppress the variation of signal propagation delay time due to temperature change by changing the threshold of a hysteresis inverter simultaneously with the temperature change by adding linear resistance.

CONSTITUTION: The threshold  $V_{T(L)}$  of the L side of the hysteresis inverter is set according to the ratio of the sum of the resistance values of a first linear resistance R1 and a first p-channel transistor (TR) 9, to the resistance value of a third p-channel TR 13. Besides, the threshold  $V_{T(H)}$  of H side is set according to the ratio of the sum of the resistance values of a second linear resistance R2 and a second n-channel TR 12, to the resistance value of a third n-channel TR 14. Thus, according as an ambient temperature raises, the  $V_{T(H)}$  shifts to a lower voltage, and the  $V_{T(L)}$  shifts to a higher voltage, and the delay of signal propagation time at a high temperature can be compensated by the shift of the operation starting point of the hysteresis inverter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-10718

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)1月13日

H 03 K 3/353

H 01 L 27/08

H 03 K 19/094

1 0 2

E-8626-5J

J-7735-5F

B-8326-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ヒステリシスインバータ

⑯ 特 願 昭62-165973

⑰ 出 願 昭62(1987)7月2日

⑱ 発 明 者 岩 崎 智 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 佐 藤 直 弘 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエールエスアイ株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 出 願 人 富士通ヴィエールエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

㉒ 代 理 人 弁理士 井 桁 貞一

#### 明 細 書

##### 1. 発明の名称

ヒステリシスインバータ

##### 2. 特許請求の範囲

電源間に直列に接続された第1のpチャネルトランジスタ、第2のpチャネルトランジスタ、第1のnチャネルトランジスタ、第2のnチャネルトランジスタと、

ソースが前記第1のpチャネルのドレインに、ドレインが低電圧に、ゲートが前記第2のpチャネルのドレインに接続された第3のpチャネルトランジスタと、

ドレインが高電圧電圧に、ゲートが前記第2のpチャネルトランジスタのドレインに、ソースが前記第2のnチャネルのトランジスタのドレインに接続された第3のnチャネルトランジスタとからなるヒステリシスインバータにおいて、

前記第1のpチャネルトランジスタのソースと高電圧電圧との間に第1のリニア抵抗を設け、前記第2のnチャネルトランジスタのソースと低電

圧電圧との間に第2のリニア抵抗を設けることを特徴とするヒステリシスインバータ。

##### 3. 発明の詳細な説明

(概要)

本発明は、pチャネルトランジスタとnチャネルトランジスタで構成されるヒステリシスインバータにリニア抵抗を付加していることを特徴としている。本発明によれば温度変化とともにヒステリシスインバータの閾値を変えることができる。これにより温度変化によってヒステリシスインバータの符号伝達遅延時間が変動するのを抑えることが可能となる。

##### (産業上の利用分野)

本発明はヒステリシスインバータに関するものであり、MOSトランジスタからなるヒステリシスインバータの回路構成に関するものである。

##### (従来の技術)

第3図は従来例に係るヒステリシスインバータ

の回路図である。図において、2と3はpチャネルトランジスタ、4、5はnチャネルトランジスタであり、これらのトランジスタは電極間に直列に接続され、またそれぞれのゲートはインバータ1の出力に共通に接続されている。

6はpチャネルトランジスタであり、ソースをpチャネルトランジスタ2のドレインに、ドレインを接地電源に、またゲートをpチャネルトランジスタ3のドレインとnチャネルトランジスタ4のドレインの共通接続点に接続している。なおpチャネルトランジスタについては、高電圧側をソース、低電圧側をドレインとして定直し、nチャネルトランジスタについては、高電圧側をドレイン、低電圧側をソースとして定直する。

7はnチャネルトランジスタであり、ドレインを高電圧電源に、ソースをnチャネルトランジスタ4のソースとnチャネルトランジスタ5のドレインの共通接続点に、またゲートをnチャネルトランジスタ3のドレインとnチャネルトランジスタ4のドレインの共通接続点に接続している。

値V<sub>i</sub> (H)である。これにより出力Bは下り始めて、"L"になる。十分に"L"レベル状態になるある時点をししとする。

同様に、ヒステリシスインバータの"L"側の閾値V<sub>i</sub> (L)は、pチャネルトランジスタ2と6のオン抵抗の比によって定まる。そして出力Bが十分に立ち上がって、"H"レベル状態になるある時点をししとする。

#### 〔発明が解決しようとする問題点〕

ところで周囲温度が高くなるとトランジスタのオン抵抗が高くなるため、インバータ1の出力Aの波形状は、第4図(り)に示すように、歪まった状態になる。

このため低周波時と高周波時では出力Bの信号伝播時間に大きな差が現れ、適正な回路動作ができない場合がある(その差をqととりで示す)。

本発明はかかる従来の問題に鑑みて創作されたものであり、温度の変化による信号伝播時間の変動を小さく抑えることのできるヒステリシスイン

バータである。なお、1は前段のCMOS構成のインバータである。

次にこの回路の動作について、第4図(a)を参照しながら説明する。いまヒステリシスインバータの入力Aが"L"状態で、従って出力Bが"H"状態にあるとする。このときpチャネルトランジスタ2、3がオン、nチャネルトランジスタ7がオン、pチャネルトランジスタ6、nチャネルトランジスタ4、5がオフしている。インバータ1の出力であるAが徐々に立ち上がると、nチャネルトランジスタ5がオンし始める。このためnチャネルトランジスタ4のソース電位は、nチャネルトランジスタ7とnチャネルトランジスタ5のオン抵抗の比によって定まり低電圧電源よりも電位が上がる。そのためnチャネルトランジスタ4は、バックゲート・バイアス効果によりスレッショールド(閾値)が上がり、インバータ1の出力Aがそれ以上の電位になってはじめてnチャネルトランジスタ4がオンする。

これがヒステリシスインバータの"H"側の閾

バータの提供を目的とする。

#### 〔問題点を解決するための手段〕

本発明のヒステリシスインバータは、電極間に直列に接続された第1のpチャネルトランジスタ、第2のpチャネルトランジスタ、第1のnチャネルトランジスタ、第2のnチャネルトランジスタと、ソースが前記第1のpチャネルのドレインに、ドレインが低電圧に、ゲートが前記第2のpチャネルのドレインに接続された第3のpチャネルトランジスタと、ドレインが高電圧電源に、ゲートが前記第2のpチャネルトランジスタのドレインに、ソースが前記第2のnチャネルのトランジスタのドレインに接続された第3のnチャネルトランジスタとからなるヒステリシスインバータにおいて、前記第1のpチャネルトランジスタのソースと高電圧電源との間に第1のリニア抵抗を設け、前記第2のnチャネルトランジスタのソースと低電圧電源との間に第2のリニア抵抗を設けることを特徴とする。

## 〔作用〕

本発明によれば、第1のリニア抵抗、第1のpチャネルトランジスタの抵抗値の和と第3のpチャネルトランジスタの抵抗値の比によってヒステリシスインバータの $V_I(L)$ を設定し、また第2のリニア抵抗、第2のnチャネルトランジスタの抵抗値の和と第3のnチャネルトランジスタの抵抗値の比によってヒステリシスインバータの $V_I(H)$ を設定している。

これにより、周囲温度が高くなるとともに $V_I(H)$ が低い電圧値に、また $V_I(L)$ が高い電圧値に移行する。

従って周囲温度が高くなって入力信号の立ち上がり（立ち下がり）が速くなるときには、ヒステリシスインバータの反転動作開始点（ $V_I(H)$ 、 $V_I(L)$ ）が早目になる。

このようにして高周時の信号伝播時間の遅れをヒステリシスインバータの動作開始点の移動によって補償することが可能となる。

地されている。

また14はnチャネルトランジスタであり、ゲートはpチャネルトランジスタ10とnチャネルトランジスタ11の共通接続点に接続され、ドレインは $V_{DD}$ に接続され、ソースはnチャネルトランジスタ11とnチャネルトランジスタ12の共通接続点に接続されている。

次に本発明の実施例回路の動作について第2図のタイミングチャートを参照しながら説明する。

図に示すように、低周時にはインバータ8の出力すなわちヒステリシスインバータの入力Aの立ち上がりは遅く、ヒステリシスインバータの出力Bの立下がり時間も短い。このときの信号伝播時間は入力Aの $V_I(H)$ の時点から出力BのL1の時点までの時間で示される。またヒステリシスインバータの入力Aの立ち上がりも遅く、ヒステリシスインバータの出力Bの立下がり時間も短い。このときの信号伝播時間は、入力Aの $V_I(L)$ の時点から出力BのH1の時点までの時間で示される。

## 〔実施例〕

次に図を参照しながら本発明の実施例について説明する。

第1図は本発明の実施例に係るヒステリシスインバータの回路図である。なお8は簡略のインバータである。R1は第1のリニア抵抗、9、10はpチャネルトランジスタ、11、12はnチャネルトランジスタ、R2は第2のリニア抵抗であり、これらは高電圧電源（ $V_{DD}$ ）と低電圧電源（接地）の間に直列に接続されている。またpチャネルトランジスタ9、10およびnチャネルトランジスタ11、12のゲートは共通接続されて、インバータ8の出力（A）に接続されている。

13はpチャネルトランジスタであり、ゲートはpチャネルトランジスタ10とnチャネルトランジスタ11の共通接続点に接続され、ソースはpチャネルトランジスタ9とpチャネルトランジスタ10の共通接続点に接続され、ドレインは接

高周時には、トランジスタのオン抵抗が高くなるため、インバータ8の出力、すなわちヒステリシスインバータの入力Aの立ち上がり、立下りとも遅やかとなる。そして、高周時にはトランジスタのオン抵抗が高くなり、一方リニア抵抗の抵抗値の経路変動は少ないので、ヒステリシスインバータの $V_I(H)$ 、 $V_I(L)$ が温度とともに変化する。次にこれを詳細に説明する。

第1図において、 $V_I(H)$ を定める $V_I$ の値は、nチャネルトランジスタ12、14のオン抵抗その抵抗値を $R_{T1}$ 、 $R_{T2}$ とし、リニア抵抗R2の抵抗値を $r$ とすると、

$$V_I(H) = V_{DD} \times \frac{R_{T1} + r}{R_{T1} + R_{T2} + r} \quad \text{で与えられる。}$$

そして高周下でトランジスタのオン抵抗が上昇するが、いま説明の便宜上、オン抵抗が2倍になり、リニア抵抗は変わらないとする。このときの $V_I$ の値は、

$$V_1(\text{高値}) = V_{DD} \times \frac{2 \times R \cdot T_1 + r}{2 \times R \cdot T_1 + 2 \times R \cdot T_2 + r}$$

で与えられる。

従って、簡単な計算により  $V_1(\text{高値}) > V_1(\text{低値})$  となることがわかる。

このようにして、高値になると、 $V_1$  がより低くなってヒステリシスインバータの  $V_1(H)$  を下げるので、ヒステリシスインバータの動作開始点がはやくなる。これにより出力  $B$  が低レベル  $L_2$  となる時点もはやくなるので、低値時と高値時との信号伝達時間の時間差  $c$  は、従来例の第4図で示す時間  $a$  と比較して縮小される。

同様に、第1図で示すノードの電位  $V_1$  は高値になるほど高くなるので、 $V_1(L)$  も高くなり、ヒステリシスインバータの動作開始点がはやくなる。これにより出力  $B$  が高レベル  $H_2$  になる時点もはやくなるので、低値時と高値時との信号伝達時間の時間差  $d$  は、従来例の第4図で示す時間  $b$  と比較して縮小される。

このように、本発明の実施例によれば高値にな

ってトランジスタのオン抵抗が高くなると、ヒステリシスインバータの閾値 ( $V_1(H)$ 、 $V_1(L)$ ) が移行するので、信号伝達時間の温度変動を少なくすることができる。

#### 〔発明の効果〕

以上説明したように、本発明のヒステリシスインバータによれば温度変動による信号伝達時間の変動をヒステリシスインバータの閾値電圧の移行により拘限することが可能となり、これにより信号伝達時間の変動による次段回路の誤動作の防止を図ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例に係るヒステリシスインバータの構成を説明する図。

第2図は第1図の回路の動作を説明するタイミングチャート。

第3図は従来例に係るヒステリシスインバータの構成を説明する図。

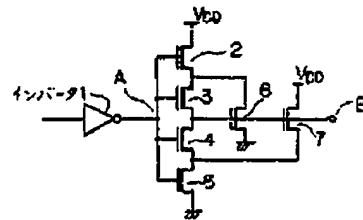
第4図は第3図の回路の動作を説明するタイ

ミングチャートである。

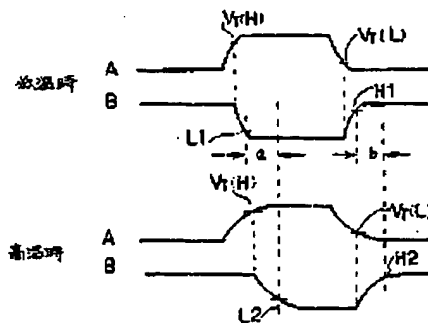
#### 〔符号の説明〕

- 1, 8…インバータ。
- 2, 3, 6, 9, 10, 13…アチャネルトランジスタ。
- 4, 5, 7, 11, 12, 14…2チャネルトランジスタ。
- R1, R2…リニア抵抗。

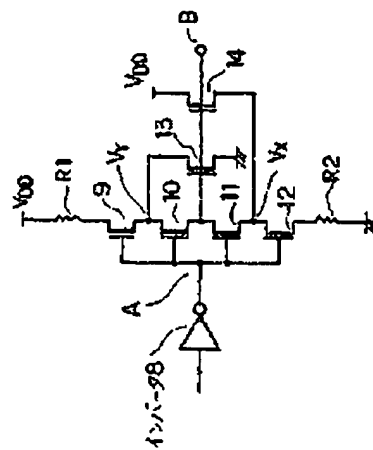
代理人弁護士 井野 貞一



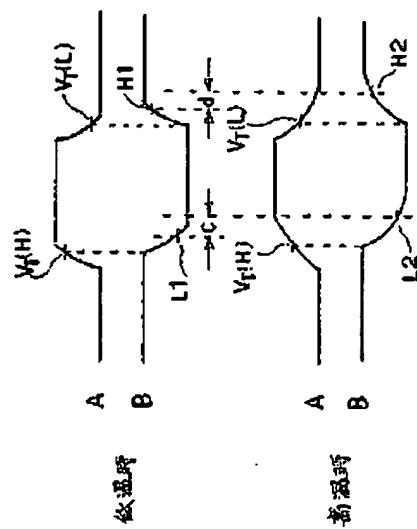
従来例の回路図  
第3図



タイミングチャート  
第4図



本発明の実施例回路図  
第 1 図



タイミングチャート  
第 2 図